

# 公開特許・実用（抄録A）

特開2002-100767

【名称】半導体素子

審査／評価者請求 未 請求項／発明の数 3 （公報 7頁、抄録 5頁）

公開日 平成14年(2002) 4月 5日

出願／権利者 株式会社東芝（東京都港区芝浦一丁目1番1号）  
 発明／考案者 福島 伸 （他2名）※  
 出願番号 特願2000-290937 平成12年(2000) 9月25日  
 代理人 鈴江 武彦  
 Fターム 5F040, 5F058, 5F103, 5F110

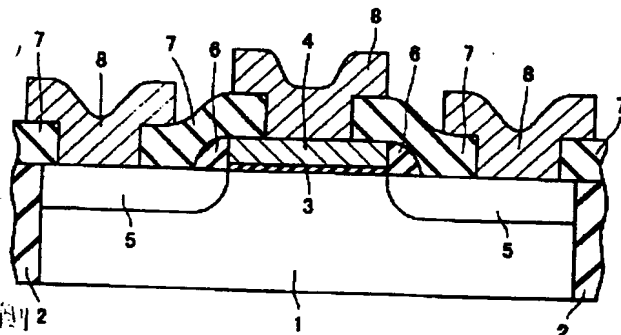
Int.Cl. 7 識別記号  
 H01L 29/78  
 21/203  
 21/316  
 29/786  
 FI  
 H01L 21/203  
 21/316  
 29/78 301  
 617  
 ※最終頁に続く

【発明の属する技術分野】本発明は、半導体素子に係り、特に高速かつ高集積化が可能なMOSトランジスタに関する。

(57) 【要約】

【課題】 高誘電率であるとともに界面特性を良好に保持することが可能なゲート絶縁膜を有するMOS電界効果トランジスタを提供する。

【解決手段】 Siを主成分とする半導体基板（1）と、前記半導体基板上に直接接合してエピタキシャル成長されたペロブスカイト誘電体を含むゲート絶縁膜（3）とを具備するMOS電界効果トランジスタである。前記ペロブスカイト誘電体の格子定数は $3.84\text{\AA} < a < 3.88\text{\AA}$ であることを特徴とする。前記ペロブスカイト誘電体は、 $\text{Sr}_{1-x}\text{Ca}_x\text{Ti}_{1-y}\text{Zr}_y\text{O}_{3-d}$ （ $0.8 \leq x \leq 1.0$ 、 $0 \leq y \leq 0.5$ 、 $d$ は酸素欠損を表わし、 $0 \leq d \leq 0.1$ である。）で表わされる組成を有することが好ましい。



$$3.76 \leq 3.84 \leq 3.92$$

【特許請求の範囲】

【請求項1】 Siを主成分とする半導体基板と、前記半導体基板上に直接接合してエピタキシャル成長されたペロブスカイト誘電体を含むゲート絶縁膜とを具備し、

前記ペロブスカイト誘電体の格子定数は $3.84\text{\AA} < a < 3.88\text{\AA}$ であることを特徴とするMOS電界効果トランジスタ。

【請求項2】 前記ペロブスカイト誘電体は、以下で表わされる組成を有することを特徴とする請求項1に記載のMOS電界効果トランジスタ。

$\text{Sr}_{1-x}\text{Ca}_x\text{Ti}_{1-y}\text{Zr}_y\text{O}_{3-d}$   
 （ここで、 $0.8 \leq x \leq 1.0$ 、 $0 \leq y \leq 0.5$ 、 $d$ は酸素欠損を表わし、 $0 \leq d \leq 0.1$ である。）

【請求項3】 Siを主成分とする半導体基板と、前記半導体基板上に順次エピタキシャル成長された第一および第二のペロブスカイト誘電体からなる中間層およびゲート絶縁膜とを具備し、

前記中間層を構成する第一のペロブスカイト誘電体の格子定数は $3.84\text{\AA} < a < 3.88\text{\AA}$ であり、前記ゲート絶縁膜を構成する第二のペロブスカイト誘電体の格子定数は、前記第一のペロブスカイト誘電体の格子定

$$5.43 - 5.48$$

数より大きいことを特徴とするMOS電界効果トランジスタ。

【発明の実施の形態】以下、図面を参照しつつ、本発明を具体的に説明する。

図1は、本発明の基本的な実施例に係るnチャネルMOSトランジスタの一例の断面構造を示した図である。図示するように、p型シリコン基板1中には素子分離領域2が離間して形成され、n型不純物が導入された拡散層（ソース・ドレイン領域）5がそれぞれに隣接して設けられている。また、基板1上にはゲート絶縁膜3を介してゲート電極4が形成され、ゲート電極4の側壁には、例えばCVDシリコン窒化膜などからなる絶縁膜6が設けられている。

ゲート電極4、側壁絶縁膜6および素子分離領域2の上には、例えばCVDシリコン酸化膜などからなる層間絶縁膜7が形成され、この層間絶縁膜7に設けられたコンタクト孔を介して、ゲート電極4およびソース・ドレイン領域5にAl配線8が接続されている。

（実施例1）ここで、図2を参照して、本発明におけるゲート絶縁膜の製造方法の一例について詳細に説明

する。

まず、面方位(100)、比抵抗4~6Ωcmのp型シリコン基板11上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLP-TEOS膜を埋め込むことによって、図2(a)に示すように素子分離領域12を形成する。

一例として、MBE法を用いてゲート絶縁膜を形成する場合について説明する。

Si基板11は、希フッ酸でウェット処理を行なって表面を水素でターミネイトした後、MBE装置に導入する。基板温度を300℃とし、金属Srを蒸発源として用いてSi基板上にSrを1モノレイヤ蒸着する。その後、Si基板温度を600℃に昇温することによって、1モノレイヤのSrシリサイド(SiSr<sub>2</sub>)13を形成し、Si表面をターミネイトする。この後、SiならびにSiSr<sub>2</sub>モノレイヤー膜と格子定数がマッチしたペロブスカイト誘電体Sr<sub>0.2</sub>Ca<sub>0.8</sub>TiO<sub>3</sub>膜14を100Å堆積して、図2(b)に示すような構造を得る。

なお、Siの格子定数は5.43Åであり、ここで形成されたSiSr<sub>2</sub>およびSr<sub>0.2</sub>Ca<sub>0.8</sub>TiO<sub>3</sub>の格子定数は、それぞれ3.85Åおよび3.85Åである。

本実施例においては、Siあるいはその上に極薄く形成したSiと同一の格子定数を有するシリサイド膜と格子マッチングの良好なペロブスカイト誘電体を堆積してゲート絶縁膜を形成している。これによって、界面準位が少なく移動度が大きく、ゲートリークが少ないといった特性の優れたトランジスタを得ることができる。

上述したような製造方法を用いることにより、Si基板との界面にシリコン酸化膜が形成されるのを回避して、ゲート絶縁膜を作製することが可能となった。本実施例で作製したゲート絶縁膜のシリコン酸化膜換算実効膜厚は、1nmを達成することができた。

一方、SrシリサイドでSi表面をターミネイトすることなく、Sr<sub>0.2</sub>Ca<sub>0.8</sub>TiO<sub>3</sub>を成膜した場合には、界面にシリコン酸化膜が2.5nm形成されてしまい、基板上に直接接合してSr<sub>0.2</sub>Ca<sub>0.8</sub>TiO<sub>3</sub>をエピタキシャル成長することができなかつた。この場合、シリコン酸化膜換算実効膜厚は3nm以上となり、次世代LSIに代表される2nm以下の換算膜厚を実現することは不可能であった。

図2(b)に示されるようにゲート絶縁膜を形成した後には、以下のような手法によって、図1に示されるMOSデバイスを作製することができる。

まず、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極4を形成する。続いて、例えば450℃、圧力10mTorr~1気圧の条件下において、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスとの混合ガスを用いて、例えば5~200nmのCVDシリコン窒化膜を堆積して側壁絶縁膜6を形成する。

以後の工程は、通常のMOSトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量1×10<sup>15</sup>cm<sup>-2</sup>で砒素のイオン注入を行なってソース領域・ドレイン領域5を形成する。続いて、化学気相成長法によって全面にCVDシリコン酸化膜を堆積して層間絶縁膜7を形成し、この層間絶縁膜にコンタクト孔を開く。続いて、スパッタ法によって全面にAl膜を堆積し、このAl膜を反応性イオンエッチン

グによってパターニングして配線8を形成することにより、図1に示したようなゲート絶縁膜を有するMOSトランジスタが完成する。

こうして作製された本発明のMOSトランジスタは、界面準位が少なく、かつ反転層のモビリティが高いことに起因して、良好な特性が得られていることが確認された。

(実施例2) 図3を参照して、本発明におけるゲート絶縁膜の製造方法の他の例について説明する。

まず、面方位(100)、比抵抗4~6Ωcmのp型シリコン基板21上に、反応性イオンエッチングにより素子分離のための溝を形成する。続いて、例えばLP-TEOS膜を埋め込むことによって、図3(a)に示すように素子分離領域22を形成する。

一例として、MBE法を用いてゲート絶縁膜を形成する場合について説明する。

Si基板21は、希フッ酸でウェット処理を行なって表面を水素でターミネイトした後、MBE装置に導入する。基板温度を300℃とし、金属Laを蒸発源として用いてSi基板上にLaを1モノレイヤ蒸着する。その後、Si基板温度を600℃に昇温することによって、1モノレイヤのLaシリサイド(LaSi<sub>2</sub>)23を形成し、Si表面をターミネイトする。この後、MBE装置を用いて、第一のペロブスカイト誘電体としてCa<sub>0.8</sub>Sr<sub>0.2</sub>TiO<sub>3</sub>膜を15Å堆積して、格子定数調整用のバッファ層24を形成する。この上に、さらに、第二のペロブスカイト誘電体としてSrZrO<sub>3</sub>層25を堆積して、図3(b)に示すようなゲート絶縁膜を形成した。

ここで形成されたLaSi<sub>2</sub>、Ca<sub>0.8</sub>Sr<sub>0.2</sub>TiO<sub>3</sub>およびSrZrO<sub>3</sub>の格子定数は、それぞれ5.43Å、3.85Åおよび4.10Åである。

SrZrO<sub>3</sub>誘電体は、このように格子定数が大きいので、通常はSi上に直接エピタキシャル成長するのが困難であるが、上述したような方法を用いることによって、SrZrO<sub>3</sub>誘電体をゲート絶縁膜として用いるゲートスタックを形成することが可能となった。

本実施例で作製したゲート絶縁膜のシリコン酸化膜換算実効膜厚は、0.4nmを達成することができた。また、Ga<sub>0.8</sub>Sr<sub>0.2</sub>TiO<sub>3</sub>のバンドギャップが3.3eVであるのに対し、SrZrO<sub>3</sub>は6eVと大きなバンドギャップを有しているため、これを用いることによって、リーク電流が1.0V印加時に10<sup>-4</sup>A/cm<sup>2</sup>と極めて低いことが明らかになった。

本実施例によるゲート絶縁膜を形成した後、実施例1と同様の手法により、図1に示したMOSトランジスタを作製した。得られたMOSトランジスタは、界面準位が少なく、かつ、反転層のモビリティが高いことに起因して、良好な特性が得られていることが確認された。

(実施例3) 前述の実施例2では、バッファ層としてCa<sub>0.8</sub>Sr<sub>0.2</sub>TiO<sub>3</sub>を用いて、誘電体層としてSrZrO<sub>3</sub>を用いたが、これらに限定されるものではない。バッファ層のためのペロブスカイトは、3.84Å<a<3.88Åの格子定数を有することが必要であり、また誘電体層の格子定数はこれより大きいことが必要であるので、こうした格子定数を有する任意のABO<sub>3</sub>ペロブスカイト(AはSr、Caより選ばれる少なくとも一種、BはTi、Zrから選ばれる少なくとも一種)を、バッファ層や誘電体層として用いることができる。

図4には、バッファ層ならびに誘電体層に適した組成を示す。図4中、R1で示される領域は、Siと格子整合する組成領域であり、R2で示される領域は、バッファ層として適する組成領域であり、R3で示される領域は、誘電体層として適する組成領域である。領域R1に含まれるものとしては、例えば $\text{Sr}0.1\text{Ga}0.9\text{Ti}0.5\text{Zr}0.5\text{O}3$ 等が挙げられ、領域R2に含まれるものとしては、例えば $\text{Sr}0.1\text{Ga}0.9\text{Ti}0.3\text{Zr}0.7\text{O}3$ 等が挙げられ、領域R3に含まれるものとしては、例えば $\text{Sr}0.2\text{Ga}0.8\text{Ti}0.5\text{Zr}0.5\text{O}3$ 等が挙げられる。

このようにバッファ層を介して、格子定数がより大きなペロブスカイト誘電体 $\text{Ba}1-x\text{Sr}x\text{TiO}3$ をエピタキシャル成長した場合、その当該誘電体は、バッファ層との格子ミスマッチにより膜垂直方向に延伸した格子ひずみを生じて、強誘電体特性を示すことが確認された。このようなゲートスタックを用いることにより、不揮発性メモリ特性を有する強誘電体ゲート電界効果トランジスタ(MFISFET)を容易に作製することができる。

ここで用いられるペロブスカイト誘電体 $\text{Ba}1-x\text{Sr}x\text{TiO}3$ におけるxとしては、良好な強誘電体特性を得るために0以上0.6以下の値を選択することが好ましい。また、この誘電体をバッファ層上に堆積する際には、ある程度の成膜粒子エネルギーを有するスパッタ法等により成膜することが望ましい。

さらに、バッファ層を介して堆積する誘電体層の格子定数を適切に選定して、基板Siに引っ張り応力を与えることによって、Si価電子帯、伝導帯の縮退を解き、電子有効質量を低減して移動度を上げて動作速度を改善したMOSFETを作製することも可能である。特に、ゲート電極として熱膨張率が小さなインバー合金等を用いた場合には、熱応力の効果も加わって、さらに有効な移動度向上の効果を得ることができる。

(実施例4) ひずみSiを最上面に有するひずみSi-SOI上に、本発明のゲート絶縁膜を用いて作製したMOSトランジスタの例を説明する。

まず、UHV-CVD法(Ultra-High-Vacuum Chemical Vapor Deposition)により、Si基板上にSiGeバッファ層と、第一の応力緩和SiGe層とを形成する。次いで、SIMOX(Separation-by-Implanted-Oxygen)法により、酸素注入(ドーズ量 $4 \times 10^{17} \text{cm}^{-2}$ )、およびその後の高温アニール( $1350^\circ\text{C}$ )を6時間行なうと、第一SiGe層中に埋め込み酸化膜を形成する。その後、第一SiGe層を多少エッチングした後、第二SiGe層とSi層とをUHV-CVD法により再成長することによって、ひずみSOI基板が作製される。nおよびpチャネルMOSFETを、通常の熱酸化( $800^\circ\text{C}$ )によるゲート絶縁膜(9nm)形成と、通常のイオン注入法によるソース/ドレイン拡散層形成とにより作製した。このときの最上面ひずみSi層の面内格子定数は、通常のSiに比べて延伸した $a=5.48\text{\AA}$ である。

この後、かかるひずみシリコンSOI基板上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLPEOS膜を埋め込むことにより素子分離領域を形成する。ここで一例として、

MBE法を用いてゲート絶縁膜を形成する場合について説明する。ひずみSiSOI表面を、希フッ酸でウェット処理して表面を水素でターミネイトした後、この基板をMBE装置に導入する。基板温度を $300^\circ\text{C}$ とし、金属Srを蒸発源として用いて、Si基板上にSrを0.5モノレイヤー蒸着する。次いで、Si基板温度を $600^\circ\text{C}$ に昇温することによって、1モノレイヤーのSrシリサイド( $\text{SrSi}_2$ )を形成し、Si表面をターミネイトする。その後、SiならびにSiSr2モノレイヤー層と格子定数がマッチしたペロブスカイト誘電体 $\text{Sr}0.5\text{Ca}0.5\text{TiO}_3$ を $100\text{\AA}$ 堆積する。

なお、ひずみSiの格子定数は $5.48\text{\AA}$ であり、ここで形成されたSiSr2および $\text{Sr}0.5\text{Ca}0.5\text{TiO}_3$ の格子定数は、それぞれ $5.48\text{\AA}$ および $5.89\text{\AA}$ である。

本実施例においては、ひずみSiあるいはその上に極薄く形成したひずみSiと同一の格子定数を有するシリサイド層と格子マッチングの良好なペロブスカイト誘電体を堆積して、ゲート絶縁膜を形成している。これによって、界面準位が少なく、移動度が大きく、ゲートリークが少ないといった特性の優れたトランジスタを得ることができる。

#### 【図面の簡単な説明】

【図1】本発明に係るMOSトランジスタの一例の構成を表わす概略図。

【図2】本発明におけるゲート絶縁膜の製造方法の一例を表わす工程断面図。

【図3】本発明におけるゲート絶縁膜の製造方法の他の例を表わす工程断面図。

【図4】本発明におけるバッファ層および誘電体層に適した組成を説明する図。

#### 【符号の説明】

- 1…シリコン基板
- 2…素子分離領域
- 3…ゲート絶縁膜
- 4…ゲート電極
- 5…拡散層(ソース・ドレイン領域)
- 6…CVDシリコン窒化膜
- 7…層間絶縁膜
- 8…Al配線

- 11…シリコン基板
- 12…素子分離領域
- 13…シリサイド
- 14…高誘電体
- 21…シリコン基板
- 22…素子分離領域
- 23…シリサイド
- 24…バッファ層
- 25…高誘電体

- R1…Siと格子整合する組成領域
- R2…バッファ層として適する組成領域
- R3…誘電体層として適する組成領域

$$3.43$$

$$5.48 \times (1.61 - 1) = 0.94$$

$$0.58 \times = 0.37$$

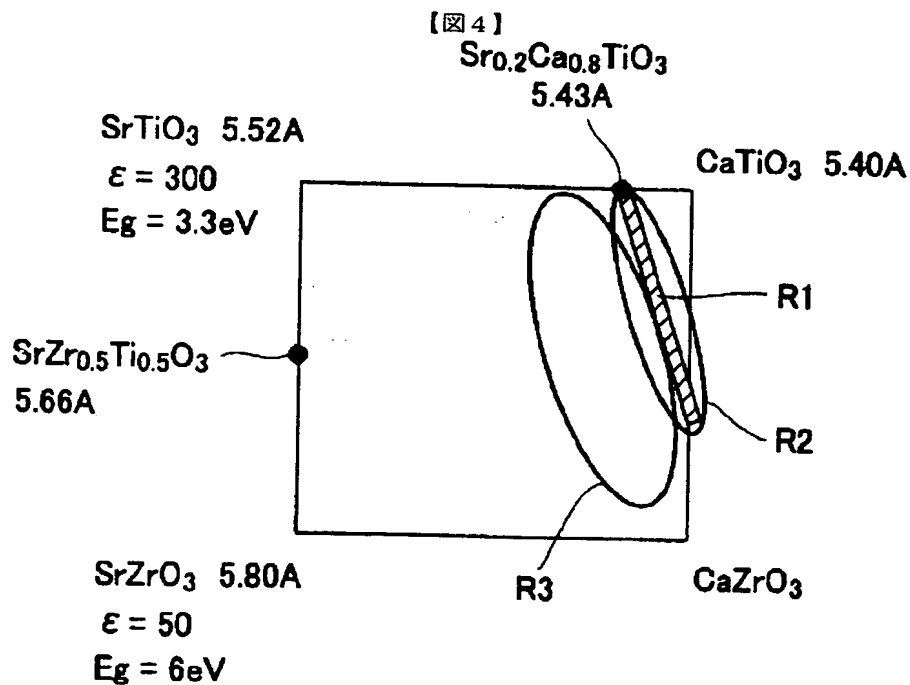
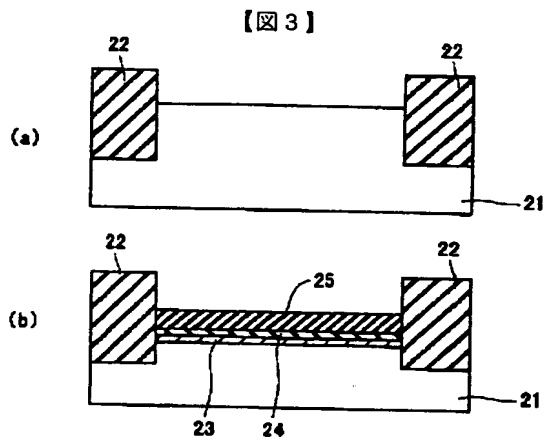
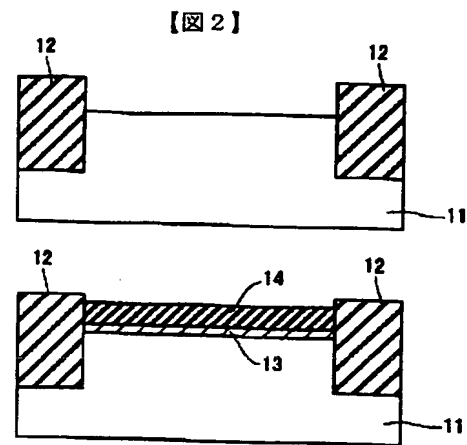
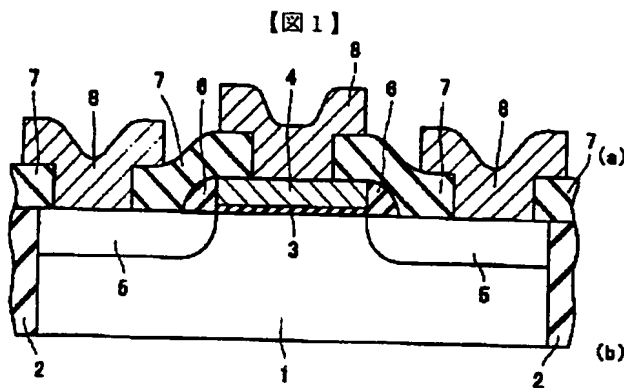
$$x = 0.7$$

$$0.58 \times = 0.43$$

$$= 0.16$$

$$0.58 \times = 0.32$$

$$x = 0.84$$



【書誌的事項の続き】

【IPC7】 H01L 29/78;21/203;21/316;;29/786

【FI】 H01L 21/203;21/316;;29/78 301:617:618

【Fターム】 5F040DA01;DA06;DA14;DC01;EB12;EC07;ED01;ED02;ED03;ED07;EK05;EL06;FA07;FC05;FC19

5F058BA11;BA20;BD01;BD05;BD18;BF04;BF20;BJ01  
5F103AA04;DD30;GG01;HH03;LL07;LL14;PP01;RR05  
5F110BB04;CC02;DD05;DD13;FF01;FF06;FF09;FF27;GG01;GG02;GG19;HJ01;HJ04;HJ13;HL03;HL23;  
NN02;NN23;NN35;NN62;NN65

【識別番号または出願人コード】 000003078

【出願／権利者名】 株式会社東芝  
東京都港区芝浦一丁目1番1号

【発明／考案者名】 福島 伸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
菅原 幸江

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
山口 豪

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
【代理人】 鈴江 武彦 (100058479)

【出願形態】 OL

注) 本抄録の書誌的事項は初期登録時のデータで作成されています。